

⑫ 公開特許公報(A)

昭63-227108

⑬ Int. Cl.⁴
H 03 F 3/50

識別記号

庁内整理番号
6658-5J

⑭ 公開 昭和63年(1988)9月21日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体回路

⑯ 特 願 昭62-61729

⑰ 出 願 昭62(1987)3月16日

⑱ 発 明 者 大 野 泰 夫 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日 本 電 気 株 式 会 社 東京都港区芝5丁目33番1号
 ⑳ 代 理 人 弁 理 士 内 原 晋

明 細 書

1. 発明の名称

半導体回路

2. 特許請求の範囲

エミッタフォロアおよびソースフォロアのいずれか一方の回路構成を有し負荷抵抗として電圧制御型の負性抵抗素子を用いていることを特徴とする半導体回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体回路、とくにエミッタフォロアあるいはソースフォロアの回路構成をもつ半導体回路に関する。

(従来の技術)

エミッタフォロアおよびソースフォロア回路は、入力インピーダンスが高く、出力インピーダンスが低いため、出力インピーダンスの高い回路で大

きな負荷容量や低いインピーダンスの回路を駆動する際のインピーダンス変換回路として、使われる。特にLSIでは小さなトランジスタで大きなトランジスタや長い配線をもつ回路を駆動することが多く、このような大きな負荷への出力部に多用される。

例えばソースフォロア構成の従来の半導体回路は、第2図に示すように、電界効果トランジスタ(FET)5のソースに接続した出力端子4と、接地端子2との間に抵抗7を接続し、ゲートに接続した端子を入力端子3とし、またドレインに接続した端子を電源端子1として、構成されている。簡単のためこのソースフォロア回路のFET5に流れる電流 I_s を出力端子4の電圧 V_{out} に対し線形になるとする。実際は、FETでは2次曲線、バイポーラでは指数関数になるが、デジタル回路への利用を考えると動作範囲内の平均のコンダクタンスが重要であるので線形としても問題はない。そうすると、

$$I_s = G_s (V_{in} + V_a - V_s) \quad (1)$$

ここで G_s は FET の平均コンダクタンス、 V_a は入出力間のレベル変化に対応する一定電圧、 V_s はソース電圧である。一方、抵抗 7 を流れる電流 I_d は、

$$I_d = G \cdot V_s \quad (2)$$

と表わされる。ここで G は抵抗 7 のコンダクタンス値である。この回路の出力端子 4 に負荷容量 C を接続して、入力端子 3 の入力電圧 V_{in} のステップ状の変化にたいする出力電圧 V_{out} の変化を計算すると、定常状態でのゲイン g は、

$$g = G_s / (G_s + G) \quad (3)$$

状態遷移の時定数 τ は、

$$\tau = C / (G_s + G) = gC / G_s \quad (4)$$

となる。(3)式から明らかなように、従来のソースフォロア回路では G が正であるためゲインは 1 以下である。

くない影響が発生するという欠点がある。

本発明は、上述の欠点を除去し、エミッタフォロアおよびソースフォロア回路において、インピーダンス変換の長所を維持しつつ入出力ゲインを 1 以上にする回路構成を提供することを目的とする。

〔問題点を解決するための手段〕

本発明の回路は、エミッタフォロアおよびソースフォロアのいずれか一方の回路構成を有し負荷抵抗として電圧制御型の負性抵抗素子を接続することにより構成される。

〔作用〕

簡単のため、ソースフォロア回路を例にとり説明するが、エミッタフォロアでも考え方は全く同じである。従来回路中の正抵抗（第 2 図の抵抗 7）の代りに、本発明の回路では負性抵抗を使用して、この負性抵抗素子を流れる電流 I_d は、前述のような線形近似をして、

$$I_d = I_o + G_d \cdot V_s \quad (5)$$

（発明が解決しようとする問題点）

上述のようにエミッタフォロアあるいはソースフォロア構成の従来の半導体回路では、ゲインが 1 以下になる。つまり、入力に対し出力の振幅はかならず低下する。これは、一般に負荷の微分インピーダンスが正の有限な値であるためで、この影響を極力減らすために負荷抵抗としてトランジスタの 5 極管理領域の定電流領域を用いたりする。しかし、完全な定電流特性の負荷は得られないことなどからエミッタフォロアおよびソースフォロアでのゲインは常に 1 より小さい。特に、微細な素子においては、短チャネル効果により 5 極管領域の定電流性がなくなり、また高速化のために電流値を高くするため 3 極管領域も使わざるをえなくなるためゲインが 0.6 程度になることすらある。一方、微細化した素子を用いる回路では、電源電圧の低下にともない信号振幅が低くなっている。このような状態でエミッタフォロアおよびソースフォロアを使いゲインの低下があると、動作マージンの低下や次段回路の駆動能力低下など好まし

と表されんとする。ここで I_o は一定電流、 G_d は負性抵抗の微分コンダクタンスでこの場合負である。従来回路の場合と同様に、負性抵抗素子に負荷容量 C を並列接続して、入力電圧 V_{in} のステップ状の変化にたいする出力電圧 V_{out} の変化を計算すると、定常状態でのゲイン g は、

$$g = G_s / (G_s + G_d) \quad (6)$$

状態遷移の時定数 τ は、

$$\tau = C / (G_s + G_d) = gC / G_s \quad (7)$$

となる。(6)式から明らかなように、 $G_d < 0$ であるから、ゲインは 1 以上になる。

第 3 図は、上記計算を模式的に示した特性図であり、FET の特性がその入力電圧により特性 11 あるいは 12 と変化するとする。定電流型の負荷特性 9 と負性抵抗型の負荷特性 10 を出力電位の高い側の動作点 14 で一致するようにして比較してみると、低電位側は定電流負荷で動作点 15、負性抵抗負荷で動作点 13 となり、負性抵抗負荷

の万が負性抵抗の効果により、より大きな電圧振幅を得られることが判る。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示す回路である。同図のソースフォロア回路は、FET 5としてはGaAsのMESFETを、負性抵抗素子6としてはエサキダイオードを用いている。この構成において入力インピーダンスは入力端子3がFETゲートであるため基本的に高インピーダンスであり、また出力インピーダンスは、電源端子1の側でFET 5そのもののインピーダンスであり、接地端子2の側では負性抵抗素子6のインピーダンスで、これは出力電圧を維持するためにFET 5のインピーダンスとほぼ等価である。正確には、(7)式の時定数の増加で示される程度のインピーダンスの上昇があるが、基本的に出力は低インピーダンスであり、ソースフォロアのインピーダンス変換の特性は保たれている。

本実施例では、ソースフォロア回路でゲインが

がはるかに優れていることはよく知られたことである。

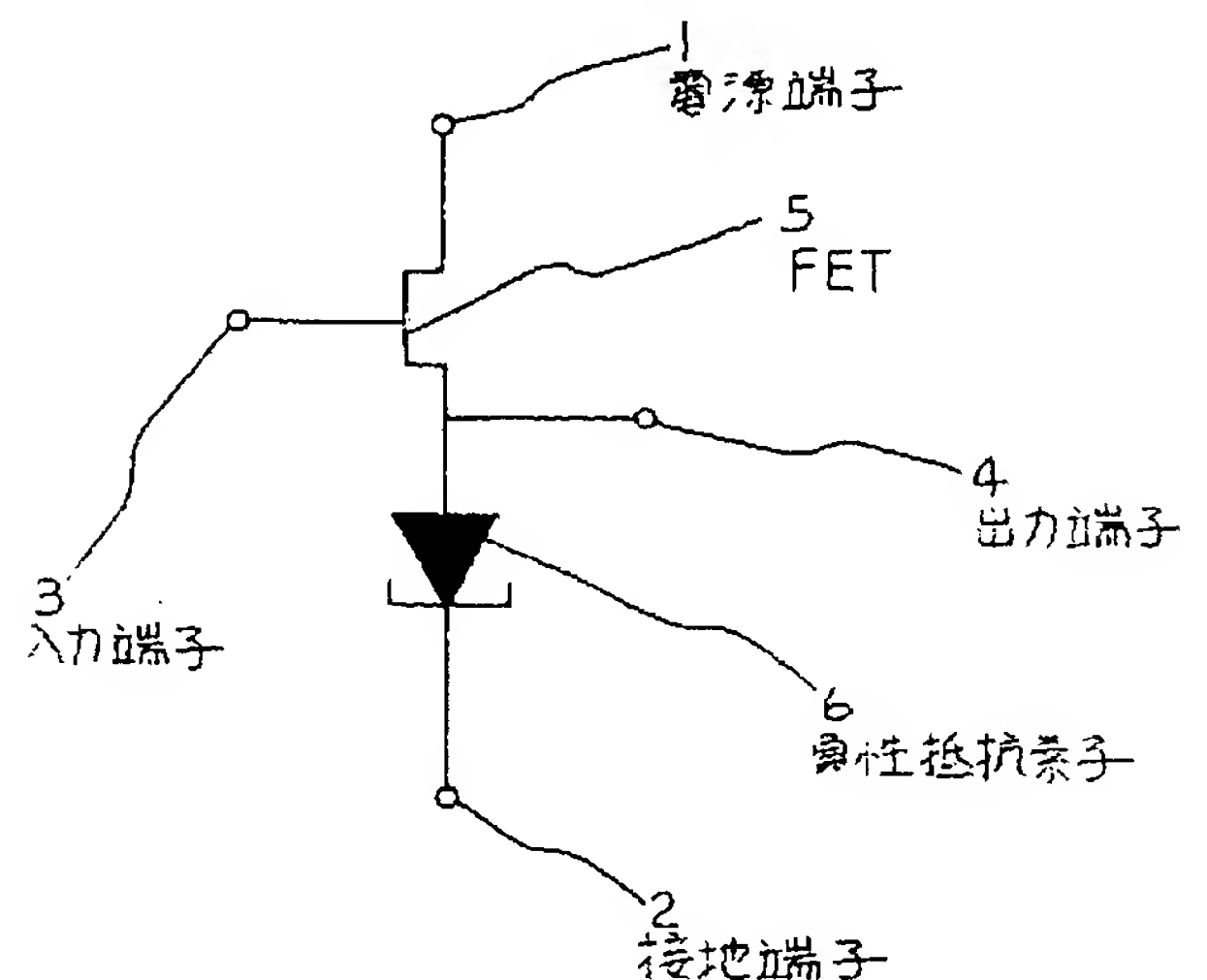
4. 図面の簡単な説明

第1図は本発明の実施例を示す回路図で、1は電源端子、2は接地端子、3は入力端子、4は出力端子、5はFET、6は負性抵抗素子である。第2図は従来のソースフォロアの回路図で、7は通常の抵抗または定電流動作のトランジスタである。第3図は、本発明の作用を説明するための特性図で、11、12はそれぞれ入力電圧が“低”の場合、“高”の場合のFETの特性、9は定電流負荷の特性、10は負性抵抗負荷の特性、14は出力“高”の動作点、13、15はそれぞれ負性抵抗負荷、定電流負荷の場合の出力“低”の動作点である。

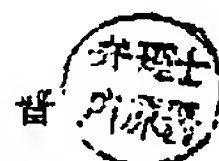
1以上の回路を作ることができる。負性抵抗素子として、エサキダイオードを用いて説明したが、量子効果を用いた共鳴トンネルダイオードなど電圧制御型の負性抵抗素子であれば同じような効果のあることは上記説明で明かである。また、FETによるソースフォロアだけでなく、バイポーラトランジスタのエミッタフォロア、真空管のカソードフォロア回路でも同様な効果が得られることは、これらの回路が名称は異なっても、同様の原理で動作することから明かである。

(発明の効果)

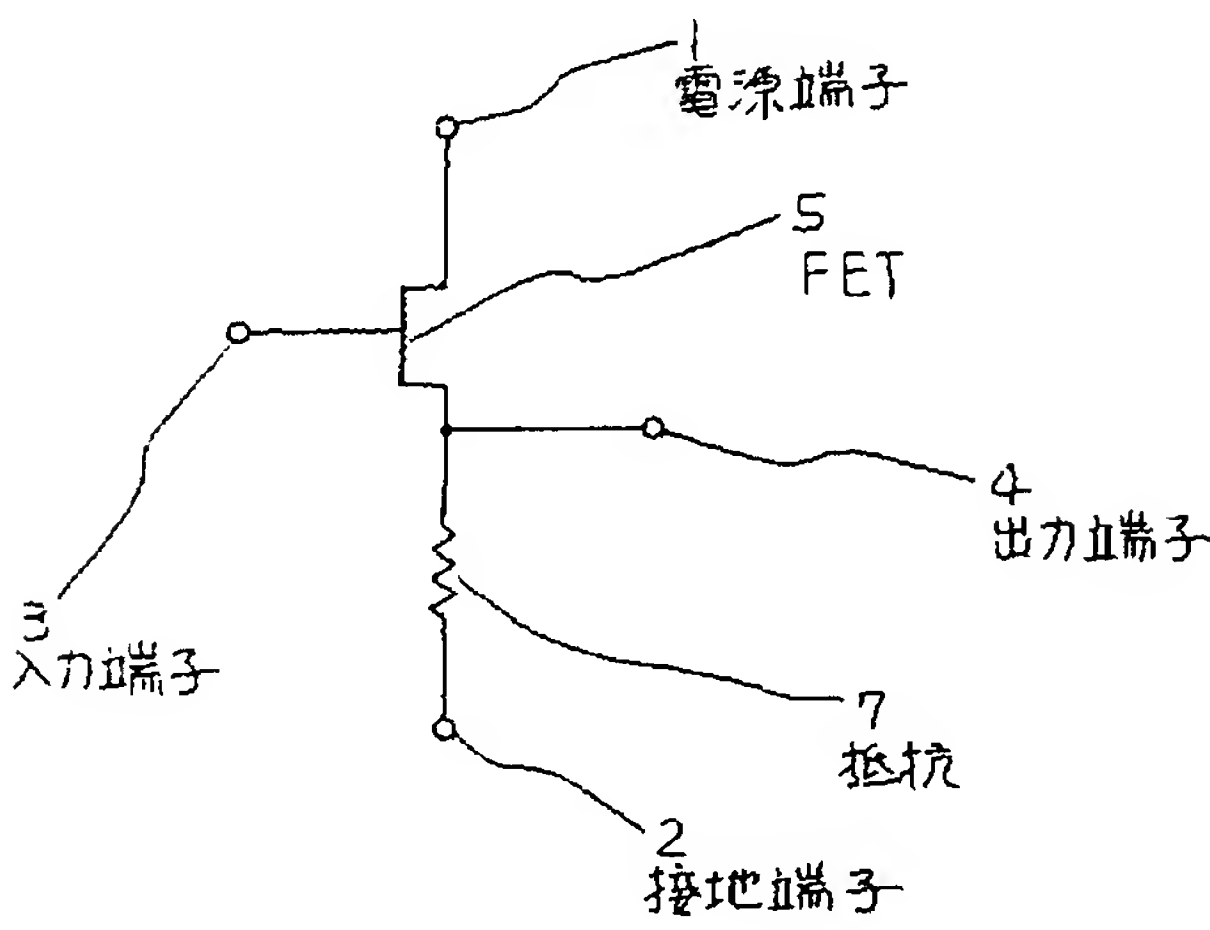
本発明により、高い駆動能力のエミッタフォロアまたはソースフォロア回路が、振幅の増大をともなって実現できる効果が得られる。インピーダンスの変換と増幅は2段の反転増幅でも可能であるが、エミッタフォロアおよびソースフォロアにくらべ出力が反転するために、回路構成上寄生容量が大きくなり、かつミラー効果の影響もあって遅延が大きく、高速度作用のインピーダンス変換にはエミッタフォロアおよびソースフォロアの方



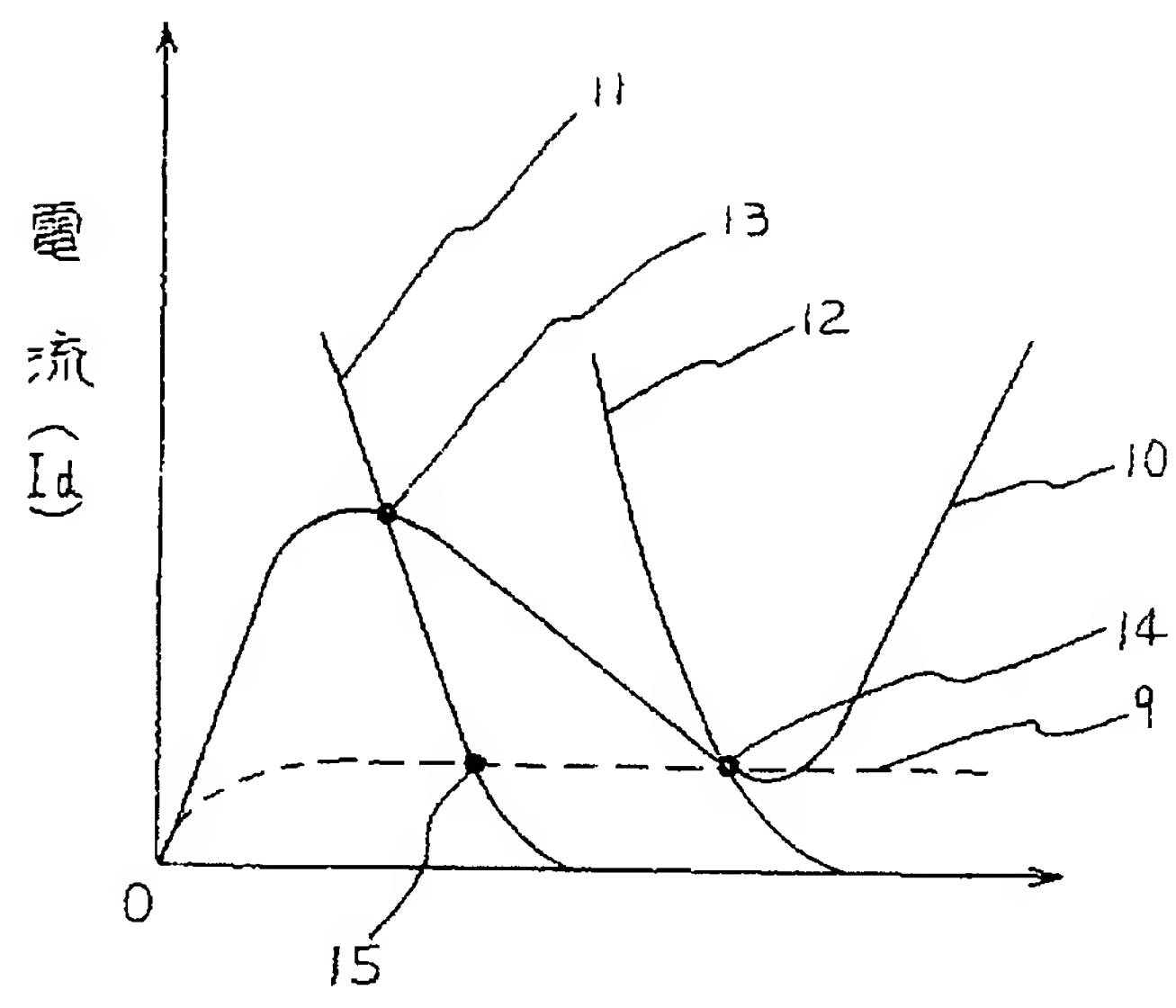
代理人 弁理士 内 原



第 1 図



第 2 図



電 圧 (V_{out})

第 3 図